

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Michio KOMODA et al.	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: June 13, 2001	)	
	)	
For: DELAY TIME ESTIMATION METHOD	)	
AND RECORDING...	)	
	)	
	)	
	)	

JC997 U.S. PTO  
09/879197  
06/13/01

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-314251

Filed: October 13, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: June 13, 2001

By: \_\_\_\_\_

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

PATENT OFFICE  
JAPANESE GOVERNMENT

#2  
30  
10/19/01

JC997 U.S. PTO

09/079197



This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : October 13, 2000

Application Number : Japanese Patent Application No. 2000-314251

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 6th day of November, 2000

Commissioner,

Patent Office Kozo OIKAWA

Certificate No. 2000-3091473

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年10月13日

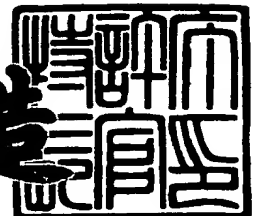
出 願 番 号  
Application Number: 特願2000-314251

出 願 人  
Applicant(s): 三菱電機株式会社

2000年11月 6日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3091473

【書類名】 特許願

【整理番号】 526994JP01

【提出日】 平成12年10月13日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/00  
G10F 5/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 古茂田 道夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 栗山 茂

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円



特 2 0 0 0 - 3 1 4 2 5 1

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 遅延時間計算方法及び記録媒体

【特許請求の範囲】

【請求項1】 MOSトランジスタを含んだ論理回路の遅延時間計算方法において、前記トランジスタを抵抗値が固定の抵抗素子と、時間に対して変化する電源電圧とでモデル化し、そのモデル化されたトランジスタの動作特性を、ゲート電位の変化で電流が増加する第1の領域と、前記トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第2の領域と、前記トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第3の領域とに分けて表現することを特徴とする遅延時間計算方法。

【請求項2】 MOSトランジスタを含んだ論理回路が複数個直列に接続された回路の遅延時間計算方法において、最終段の論理回路を構成するトランジスタの動作特性を、ゲート電位の変化で電流が増加する第1の領域と、前記トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第2の領域と、前記トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第3の領域とに分けて表現することを特徴とする請求項1記載の遅延時間計算方法。

【請求項3】 モデル化されたトランジスタの動作特性が電源電圧 $E$ に上昇するに要する時間 $t = \Delta t_1$ ,  $t = \Delta t_1 + \Delta t_2$ において、 $E = R_s \times i(t) + v(t)$ 「ここで、 $i(t)$ は負荷モデルの充電電流、 $v(t)$ は負荷モデルの充電電圧」が成立し、 $(E - v(t))$ 、 $i(t)$ が予め定められたゲート電位における $I_{ds} - V_{ds}$ 「ここで、 $I_{ds}$ はドレイン・ソース間電流、 $V_{ds}$ はドレイン・ソース間電圧」特性線上にあるという条件から、直線領域と飽和領域の境界電圧 $V_1$ 、この境界に達するまでの時間 $\Delta t_1$ 、前記飽和領域を経て電源電圧まで達する時間 $\Delta t_2$ を決定することを特徴とする請求項1または請求項2記載の遅延時間計算方法。

【請求項4】 予め定められたゲート電位における $I_{ds} - V_{ds}$ を折れ線でモデル化した場合の当該折れ線を特定する関数情報と、固定遅延を特定する入力スルーレートの関数情報とで構成した遅延ライブラリを用いることを特徴とする請求項1から請求項3のうちのいずれか1項記載の遅延時間計算方法。

【請求項5】 請求項1から請求項4のうちのいずれか1項記載の遅延時間計算方法を実行するコンピュータプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばトランジスタで構成した論理回路の遅延時間を計算する遅延時間計算方法及び該遅延時間計算方法を実行するコンピュータプログラムを格納した記録媒体に関するものである。

【0002】

【従来の技術】

図9から図11は従来の遅延計算での処理フローを示す図であり、図9はインバータ（INV）101とインバータ（INV）102を配線103で接続した回路接続情報の抽出を示している。これ等の情報から負荷をRC素子で表した回路構成情報を図10に示すように作成する。ここで、インバータ101からなるソースモデル106を電源104と抵抗105とで表す。また、ゲート出力端からみたアドミタンスが例えば3次の項まで一致するように、配線103のRC分布定数回路107およびインバータ102の入力ピンの容量 $C_g$ とを決めて負荷構成素子108を構成する。

【0003】

上記負荷構成素子108を構成する抵抗および容量を有限のRC素子で近似する。ここで、RC分布定数回路107の入力側容量を容量 $C_2$ で表わすとともに、RC分布定数回路107の出力側容量と上記インバータ102における入力ピンの容量 $C_g$ とを容量 $C_1$ で表わし、RC分布定数回路107の抵抗 $R$ により、図11に示すように、 $\pi$ 型負荷モデル109を作成する。

【0004】

さらに、ここでは、どのようなソースモデル106を接続したとしても、図10の回路ネットワークを接続したときに得られるゲート出力端の電圧波形に対して、図11の回路を解析して得られる電圧波形が近似できているようにC素子2個、R素子1個の $\pi$ 型負荷モデルを構成する。

## 【0005】

この近似方法については、先行技術文献 Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation (Proc. IEEE International Conference on Computer-Aided-Design, 1989年) に説明されているので、詳細な説明は省略するが、パターンに応じてアドミッタンス  $Y(S)$  を下流側から計算して、ゲート出力端からみたアドミッタンス  $Y(S)$  を求め (文献 Figure 3、式 (19) ~ 式 (32) 参照)、得られたアドミッタンス  $Y(S)$  から  $R$ ,  $C1$ ,  $C2$  を決定する (文献式 (14) ~ (16) 参照)。

## 【0006】

このように構成した負荷モデル 109 に対して、ソースモデル 106 を接続して応答解析を行い遅延時間を決定する。ソースモデル 106 は電源 104 と抵抗 105 で表され、条件に応じた電源値/抵抗値を持つ。計算方法については、先行技術文献 A Gate Delay Model for High-Speed-CMOS Circuits (Proc. 31st ACM/IEEE Design Automation Conference, 1994) に詳述されているので、詳細な説明は省略する。

## 【0007】

次に動作について説明する。

図 12 は、インバータ 101 のトランジスタ構成図である。今、出力端子  $Y$  の  $Rise$  を考えるとき、入力端子  $A$  の電位が  $L$  から  $H$  に変化 ( $A \rightarrow Y$  の  $Rise$  の場合) すると、PMOS トランジスタ  $P1$  は入力  $A$  の変化により OFF 状態から ON 状態へと遷移し、出力負荷を充電する。出力負荷の大小、つまり PMOS トランジスタ  $P1$  のソースドレイン間における電位の上昇度合が、ゲート電位の変化度合に比べて遅い場合、図 5 に示すように、時間とともに電流が上昇する領域 1 に引き続いて速やかに指数関数的に電流が減少する領域 3 に移動する第 2 のパターンとなる。そして、従来のソースモデル 106 では、図 13 に示すよう

に、電源電圧が時間 $\Delta t$ で $0 \sim V_{dd}$ まで直線変化する内部電源 $E(t)$ により上記第2のパターンを表現している。

次に、従来は図11で生成した遅延計算すべき $\pi$ 型負荷モデル109を、等価な応答をする図14に示すC型負荷モデルで近似することが行われている。この場合、 $\pi$ 型負荷モデル109の構成要素である抵抗 $R$ による遮蔽効果を考慮した等価容量を用いて、予め準備された入力波形の傾きと出力負荷容量を軸とする遅延テーブルから該当する位置を補間探索して求める遅延値を得ている。

【0008】

【発明が解決しようとする課題】

従来の遅延時間計算方法は以上のように構成されているので、動作するトランジスタにより出力負荷が充電されるが、従来のモデルでは、図6に示すように、時間とともに電流が上昇する領域1の後に、電流が緩やかに減少する領域2に続き、最後に指数関数的に減少する領域3に移動する第1のパターンとなる場合もある。従来のモデルでは、図13に示すように、電源電圧が時間 $\Delta t$ で $0 \sim V_{dd}$ まで直線変化する内部電源 $E(t)$ で表現し、電流が漸減する飽和領域（領域2）を表現しないため、トランジスタの動作特性に合致した遅延計算ができないという課題があった。また、入力波形の傾きと出力負荷容量を軸とする2次元遅延テーブルをライブラリとして持つ必要があり、膨大なデータ量となる。テーブルを使用する場合は、補間誤差が発生する。本来解きたい $\pi$ 型負荷モデルの場合、負荷テーブル軸が3つに増えるため、テーブルのデータ量がさらに大きくなり、実現不可能である。このために等価容量に換算するという手法をとっているが、等価容量に換算する誤差を生じるという課題があった。

【0009】

この発明は上記のような課題を解決するためになされたもので、電流が漸減する飽和領域（領域2）を表現できるようにして、トランジスタの動作特性に合致した遅延計算を精度良く行うことができる遅延時間計算方法を得ることを目的とする。

【0010】

また、この発明は上記の遅延時間計算方法を容易に利用することができるよう

に記録した記録媒体を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

この発明に係る遅延時間計算方法は、トランジスタを抵抗値が固定の抵抗素子と、時間に対して変化する電源電圧とでモデル化し、そのモデル化されたトランジスタの動作特性を、ゲート電位の変化で電流が増加する第1の領域と、トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第2の領域と、トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第3の領域とに分けて表現するものである。

この発明に係る遅延時間計算方法は、最終段の論理回路を構成するトランジスタの動作特性を、ゲート電位の変化で電流が増加する第1の領域と、トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第2の領域と、トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第3の領域とに分けて表現するものである。

この発明に係る遅延時間計算方法は、モデル化されたトランジスタの動作特性が電源電圧  $E$  に上昇するに要する時間  $t = \Delta t_1$ ,  $t = \Delta t_1 + \Delta t_2$  において、 $E = R_s \times i(t) + v(t)$  「ここで、 $i(t)$  は負荷モデルの充電電流、 $v(t)$  は負荷モデルの充電電圧」が成立し、 $(E - v(t))$ 、 $i(t)$  が予め定められたゲート電位における  $I_{ds} - V_{ds}$  「ここで、 $I_{ds}$  はドレイン・ソース間電流、 $V_{ds}$  はドレイン・ソース間電圧」特性線上にあるという条件から、直線領域と飽和領域の境界電圧  $V_1$ 、この境界に達するまでの時間  $\Delta t_1$ 、前記飽和領域を経て電源電圧まで達する時間  $\Delta t_2$  を決定するものである。

この発明に係る遅延時間計算方法は、予め定められたゲート電位における  $I_{ds} - V_{ds}$  を折れ線でモデル化した場合の当該折れ線を特定する関数情報と、固定遅延を特定する入力スルーレートの関数情報とで構成した遅延ライブラリを用いるものである。

この発明に係る記録媒体は、この発明に係る遅延時間計算方法を実行するコンピュータプログラムを記録したものである。

【 0 0 1 2 】

## 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

## 実施の形態 1.

図 1 から図 3 はこの発明の実施の形態 1 における遅延計算の処理フローを示す図であり、インバータ 1 とインバータ 2 を配線 3 で接続した回路接続情報の抽出を示している。インバータ 1, 2 はともに図 1 2 のように PMOS トランジスタ、NMOS トランジスタとにより構成される。そして、図 2 に示すように、インバータ 1 からなるソースモデル 6 を電源 4 と抵抗 5 とで表し、配線 3 である RC 分布定数回路 7 およびインバータ 2 の入力ピン容量  $C_g$  とで負荷構成素子 8 を表し、全体として回路構成情報の作成を行う。

## 【0013】

ついで、上記負荷構成素子 8 における RC 分布定数回路 7 の入力側容量を容量  $C_2$  で表わすとともに、RC 分布定数回路 7 の出力側容量と上記入力ピンの容量  $C_g$  との合成容量を容量  $C_1$  で表わし、RC 分布定数回路 7 の抵抗  $R$  により、図 3 に示すように、負荷モデル 9 を作成するもので、ここまでの構成は前記した従来の図 9 ～図 1 1 と同じである。

## 【0014】

この発明は電源電圧  $E$  に時間依存性を持たせることで、ソースモデル 6 をトランジスタのソース抵抗の時間依存性を表現するモデル（以下、 $E(t)$  モデルと称する）とし、図 4 に示すように電源電圧を折れ線による電圧波形で表現したもので、時間  $\Delta t_1$  を要して電圧が  $0 \rightarrow V_1$  まで直線変化する形式で表すとともに、時間  $\Delta t_2$  を要して電圧が  $V_1 \rightarrow V_{dd}$  まで直線変化する形式で表すものである。

## 【0015】

また、上記  $E(t)$  モデルは、出力ピンから負荷へ流れ込む電流を合わせ込むモデルであるので、電流波形を考慮しながら  $E(t)$  の形状を決定する。電流波形には、セルの駆動能力と負荷の重さによって、図 5 に示すように、時間とともに電流が上昇する領域 1 の後に、電流が緩やかに減少する領域 2 が続き、最後に指数関数的に減少する領域 3 に移動する第 1 のパターンと、時間とともに電流が

上昇する領域1に引き続いて速やかに指数関数的に電流が減少する領域3に移動する第2のパターンが存在する。

#### 【0016】

次にこのような電流特性を示す $E(t)$ モデルの波形を考察する。まず領域3は線形領域で回路の時定数で決まる電流が流れる領域であるので、 $E(t) = E$ を当てることができる。従って領域1と領域2に異なる波形の $E(t)$ を与えればよいと考えられる。 $E(t)$ は領域1、領域2のそれぞれに対して、時間に関して異なる関数（但し、両方の関数は領域1、2に対応する時間点で連続している）にて表現されるが、この実施例では、図4のように計算の容易性を考慮して2つの領域に異なる傾きの連続する直線を与える。

$E(t)$ が上昇を開始する時間は、 $t=0$ の位置とは必ずしも一致しない。この時間を固定遅延 $t_0$ とする。すなわち、 $E(t)$ の波形は、固定遅延 $t_0$ 経過後、最初の $\Delta t_1$ の時間で $E(t)$ は $V_1$ まで上昇し、その後の $\Delta t_2$ で $E$ まで上昇する折れ線として定義し、 $t_0$ 、 $\Delta t_1$ 、 $V_1$ 、 $\Delta t_2$ を回路応答を記述するパラメータとする。

つまり、予め定められたゲート電位における $I_{ds}-V_{ds}$ 折れ線を特定する関数情報 $\Delta t_1$ 、 $V_1$ 、 $\Delta t_2$ と、固定遅延 $t_0$ を特定する入力スルーレート $T_{slew}$ の関数情報（予め抽出された遅延パラメータとして記述される量）とで構成した遅延ライブラリを用いることにより、遅延テーブルを作成するための膨大なライブラリ量を必要としない。入力波形が0又は $V_{dd}$ に変化し終えたと見做す時間を $T_{slew}$ としたとき、固定遅延 $t_0$ は $T_{slew}$ の関数で表現でき、例えば $t_0(T_{slew}) = K_{10} + K_{20} \cdot T_{slew}^\alpha$ の式で近似できる。この場合、固定遅延 $t_0$ を特定する入力スルーレートの関数情報として、遅延ライブラリに記憶される遅延パラメータは、この $K_{10}$ 、 $K_{20}$ 、 $\alpha$ 等である。

#### 【0017】

パターン2の場合は、領域2が存在しない。この場合は、 $\Delta t_2 = 0$ 、 $V_1 = E$ として、直接領域1から領域3に移動する $E(t)$ の波形を与える。

#### 【0018】

図4の $E(t)$ の波形を用いた場合の、モデルのゲート出力 $v_2(t)$ は波形

立ち上がり時次のように記述される。

【数 1】

$$\begin{cases} z = \frac{1}{RC_1} + \frac{1}{RC_2} \\ p_1, p_2 = \frac{1}{2} \left( \left( \frac{1}{RC_1} + \frac{1}{RC_2} + \frac{1}{R_s C_2} \right) \pm \sqrt{\left( \frac{1}{RC_1} + \frac{1}{RC_2} + \frac{1}{R_s C_2} \right)^2 - \frac{4}{RR_s C_1 C_2}} \right) \end{cases} \quad (1)$$

とし、

【数 2】

$$\begin{cases} f(t, \Delta t, V) = \left( t - \frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 t) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 t) \right) \frac{V}{\Delta t} \\ a(t, V) = \left\{ 1 - \frac{p_1 - z}{p_1 - p_2} \exp(-p_1 t) + \frac{p_1 - z}{p_1 - p_2} \exp(-p_2 t) \right\} V \end{cases} \quad (2)$$

$v_2(t)$  のモデル波形記述は、関数  $f$ ,  $a$  を定義したとき、

< case 1 >  $\Delta t_1 = 0$  の時

【数 3】

$v_2(t)$

$$= \begin{cases} 0 & (0 \leq t \leq t_0) \\ a(t - t_0, V_1) + f(t - t_0, \Delta t_2, E - V_1) & (t_0 < t \leq t_0 + \Delta t_2) \\ a(t - t_0, V_1) + f(t - t_0, \Delta t_2, E - V_1) - f(t - t_0 - \Delta t_2, \Delta t_2, E - V_1) & (t > t_0 + \Delta t_2) \end{cases} \quad (3)$$

< case 2 >  $\Delta t_2 = 0$  の時

【数 4】

$$v_2(t) = \begin{cases} 0 & (0 \leq t \leq t_0) \\ f(t - t_0, \Delta t_1, E) & (t_0 \leq t \leq t_0 + \Delta t_1) \\ f(t - t_0, \Delta t_1, E) - f(t - t_0 - \Delta t_1, \Delta t_1, E) & (t > t_0 + \Delta t_1) \end{cases} \quad (4)$$

< case 3 >  $\Delta t_1, \Delta t_2 \neq 0$  の時

【数 5】

 $v_2(t)=$ 

$$\begin{cases} 0 & (0 \leq t \leq t_0) \\ f(t-t_0, \Delta t_1, V_1) & (t_0 \leq t \leq t_0 + \Delta t_1) \\ f(t-t_0, \Delta t_1, V_1) - f(t-t_0-\Delta t_1, \Delta t_1, V_1) \\ \quad + f(t-t_0-\Delta t_1, \Delta t_2, E-V_1) & (t_0 + \Delta t_1 < t \leq t_0 + \Delta t_1 + \Delta t_2) \\ f(t-t_0, \Delta t_1, V_1) - f(t-t_0-\Delta t_1, \Delta t_1, V_1) \\ \quad + f(t-t_0-\Delta t_1, \Delta t_2, E-V_1) - f(t-t_0-\Delta t_1-\Delta t_2, \Delta t_2, E-V_1) & (t > t_0 + \Delta t_1 + \Delta t_2) \end{cases}$$

(5)

【0 0 1 9】

以下、 $I_{ds}-V_{ds}$  折れ線を特定する関数情報  $\Delta t_1$ 、 $V_1$ 、 $\Delta t_2$  の決定について説明する。図5のトランジスタの動作点の移動を見ると、領域1→領域2、領域1→領域3、領域2→領域3の3つの境界が存在する。この時のトランジスタの動作点はいずれも  $V_{gs}=V_{dd}$  の  $I_{ds}-V_{ds}$  特性上にあることに気付く。言い換えれば境界条件を決定するには、 $V_{gs}=V_{dd}$  時の  $I_{ds}-V_{ds}$  特性があればよいということになる。このうち領域3は、MOSトランジスタの線形領域に対応し、モデルの動作原理から固定値抵抗  $R_s$  で充放電するので、領域3の  $I_{ds}-V_{ds}$  特性は、 $I_{ds}=V_{ds}/R_s$  で記述されなければならない。領域2はMOSトランジスタの飽和領域に対応し、電流が漸減する領域として記述される。これらの特徴を的確に表すために、 $V_{gs}=V_{dd}$  時の  $I_{ds}-V_{ds}$  特性を、 $R_s$ 、 $I_0$ 、 $I_1$  を用いて図6のように表す。このモデルでは、 $V_{ds} \leq R_s I_1$  の領域を線形領域、 $V_{ds} > R_s I_1$  の領域を飽和領域と見ることになる。また  $V_{ds}=V_{dd}$  時の飽和電流  $I_0$  を別に定義することで、飽和領域で  $V_{ds}$  が減少する ( $v_2$  が上昇する) に従って電流が漸減する特性を持たせる。

【0 0 2 0】

$\Delta t_1$ 、 $V_1$ 、 $\Delta t_2$  の決定では、この  $R_s$ 、 $I_0$ 、 $I_1$  があらかじめ抽出されたパラメータとして記述される量となる。

【0 0 2 1】

1.  $\Delta t_1$  の決定

まず最初に  $\Delta t_1$  を決定する。 $\Delta t_1$  の決定では、まずパターン2を仮定する。  
図3に示した  $E(t)$  モデルの回路図から

$$E(t) = v_2(t) + R s i(t) \quad (6)$$

の関係があることが分かる。パターン2を仮定しているので、領域1→領域3へ移動することになる。領域1と領域3の境界  $t = t_0 + \Delta t_1$  では、 $E(t_0 + \Delta t_1) = E$  となるので、

$$v_2(t_0 + \Delta t_1) + R s i(t_0 + \Delta t_1) = E \quad (7)$$

を満たす。

$v_2(t_0 + \Delta t_1)$  は、パターン2を仮定しているので、 $\Delta t_2 = 0$  であるから、(4)式の値を使う。

【数6】

$$v_2(t_0 + \Delta t_1) = \left\{ \Delta t_1 \frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} \frac{E}{\Delta t_1} \quad (8)$$

$i(t_0 + \Delta t_1)$  は飽和領域の電流である。 $i(t)$  は次のように考える。

(1) 最も簡単なトランジスタモデルによれば、 $i \propto (V_{gs} - V_{th})^2$  であり、 $V_{gs}$  を1次式で近似すれば  $i \propto t^2$  となる。

(2) 固定遅延の考察を考慮すれば、 $t = t_0$  で  $i = 0$  でなければならない。

(3) 1次式近似を使えば、 $t = T_{slew}$  の位置で  $V_{gs} = V_{dd}$  となり、図6の  $I_{ds} - V_{ds}$  特性になる。また、その時の電流値は  $V_{gs} = V_{dd}$  時の線形領域と飽和領域の境界電流値  $I_1$  である。

したがって  $t = T_{slew}$  で  $i = I_1$  となる。

この条件を満たす式は、

【数7】

$$i(t) = I_1 \left( \frac{t - t_0}{T_{slew} - t_0} \right)^2 \quad (9)$$

である。 $i(t_0 + \Delta t_1)$  にはこの式を用いる。

【0022】

これらの式を(7)式に代入すれば、次の関係式が得られる。

【数 8】

$$\left(-\frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1)\right) E + R s I_1 \frac{\Delta t_1^3}{(T_{slew} - t_0)^2} = 0$$

(10)

この式は  $\Delta t_1 > 0$  で解を 1 つ持つ。

【0023】

ただし、(10) 式の解が、 $\Delta t_1 > T_{slew} - t_0$  となる時、 $i(t_0 + \Delta t_1) > I_1$  となり図 6 の  $I_{ds} - V_{ds}$  特性から逸脱する（領域 1 と領域 3 の境界は、 $R_s$  で決まる傾きの直線上になければならない）。この状態は領域 1 → 領域 2 の移動が起こったために、「動作パターンがパターン 2 である」という仮定が崩れたためである。この場合はパターン 1 として処理しなければならない。パターン 1 では、領域 1 → 領域 2 の境界が  $t = t_0 + \Delta t_1$  に当たり、 $V_{gs} = E$  となる時間である。 $V_{gs}$  に同じ 1 次式を使用すれば、その時間は  $t = T_{slew}$  であり、従って  $\Delta t_1 = T_{slew} - t_0$  の関係が成立する。

【0024】

もう 1 つ例外として、 $T_{slew} - t_0 \leq 0$  となる場合がある。この場合は、出力電流が流れる状態にするのに時間がかかり、出力電流が流れ始めたときにはすでに  $V_{gs} = E$  であるという状態として理解される。モデルでは、この状態の時は瞬時に  $V_{gs} = V_{dd}$  の  $I_{ds} - V_{ds}$  特性に移動すると考えられる。したがって領域 1 は存在せず、領域 2 より始まるモデルとなる。つまり  $\Delta t_1 = 0$  である。

【0025】

以上を整理すると、 $\Delta t_1$  は、

(1) case 1 . . .  $T_{slew} - t_0 \leq 0$  の時

$$\Delta t_1 = 0$$

(2) case 2 . . .  $0 < \Delta t_1 \leq T_{slew} - t_0$  の時

【数9】

$$\left\{ -\frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1 (p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2 (p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} E + R s I_1 \frac{\Delta t_1^3}{(T_{slew} - t_0)^2} = 0 \quad (11)$$

を満たす  $\Delta t_1$

(3) case 3 . . . (11) 式の解が  $\Delta t_1 > T_{slew} - t_0$  の時

$$\Delta t_1 = T_{slew} - t_0$$

となる。

【0026】

## 2. $V_1$ の決定

$V_1$  の場合にも次の関係式が成立する。

$$v_2(t_0 + \Delta t_1) + R s i(t_0 + \Delta t_1) = V_1 \quad (12)$$

この(12)式をもとに  $V_1$  を決定する。

(1) case 1 . . .  $\Delta t_1 = 0$  の時

$t = t_0$  ですでに  $V_{gs} = V_{dd}$  となっている場合であるから、 $i(t_0)$  は図6の  $I_{ds} - V_{ds}$  特性上にある。また固定遅延の定義から  $v_2(t_0) = 0$  であるから、 $V_{ds} = V_{dd}$  となり、 $i(t_0) = I_0$  でなければならないことが分かる。従って

$$V_1 = R s I_0 \quad (13)$$

となる。

(2) case 2 . . .  $0 < \Delta t_1 \leq T_{slew} - t_0$  の時

この場合は領域1→領域3に移動するパターン2である。従って

$$V_1 = E \quad (14)$$

となる。

(3) case 3 . . .  $\Delta t_1 = T_{slew} - t_0$  の時

この条件の場合、パターン1に相当し、 $t = t_0 + \Delta t_1$  で  $V_{gs} = V_{dd}$  であり、また  $0 < v_2(t_0 + \Delta t_1) < R s I_1$  となるので、動作点は図7の位置にくる。この時、 $i(t_0 + \Delta t_1)$  は

【数 10】

$$i(t_0 + \Delta t_1) = I_0 - \frac{v_2(t_0 + \Delta t_1)}{E - R s I_1} (I_0 - I_1) \quad (15)$$

となる。

また、 $v_2(t_0 + \Delta t_1)$  は、(5) 式を用いて、

【数 11】

$$v_2(t_0 + \Delta t_1) = \left\{ \Delta t_1 - \frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} \frac{V_1}{\Delta t_1} \quad (16)$$

となる。

(12)、(15)、(16) の 3 式から、 $V_1$  は、

【数 12】

$$V_1 = \frac{R s I_0}{1 - \frac{E - R s I_0}{E - R s I_1} \left\{ \Delta t_1 - \frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} - \frac{1}{\Delta t_1}} \quad (17)$$

となる。

【0027】

### 3. $\Delta t_2$ の決定

case 2 の場合はパターン 2 であり、 $\Delta t_2$  は 0 となる。case 1 および case 3 の場合については、領域 2 → 領域 3 の境界においても

$$v_2(t_0 + \Delta t_1 + \Delta t_2) + R s i(t_0 + \Delta t_1 + \Delta t_2) = E \quad (18)$$

が成立する。領域 2 は  $V_{gs} = V_{dd}$  の飽和領域であり、領域 3 との境界では、 $i = I_1$  となる。 $v_2(t_0 + \Delta t_1 + \Delta t_2)$  の式は、他と同様に前記 (3) 式 (case 1 の場合) や (5) 式 (case 3 の場合) を使用する。

【0028】

従って、case 1、case 3 の場合の  $\Delta t_2$  は、

$$v_2(t_0 + \Delta t_1 + \Delta t_2) + R s I_1 = E \quad (19)$$

を満たす。case 1、case 3 の場合、(19) 式は  $\Delta t_2 > 0$  の解を 1 つ持つ。

【0029】

以上から各場合について、決定式をまとめると、

<case 1>  $T_{slew} - t_0 \leq 0$  の時

$$\Delta t_1 = 0$$

$$V_1 = R_s I_0$$

$$v_2(t_0 + \Delta t_1 + \Delta t_2) R_s I_1 = E \text{ を満たす } \Delta t_2$$

<case 2>  $0 < \Delta t_1 \leq T_{slew} - t_0$  の時 (ただし  $\Delta t_1$  は下記式を解いた結果)

【数 13】

$$\left\{ -\frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} E \\ + R_s I_1 \frac{\Delta t_1^3}{(T_{slew} - t_0)^2} = 0 \text{ を満たす } \Delta t_1$$

$$V_1 = E$$

$$\Delta t_2 = 0$$

(20)

<case 3> (20) 式の第 1 の解が  $\Delta t_1 > T_{slew} - t_0$  となる時

【数 14】

$$\Delta t_1 = T_{slew} - t_0$$

$$V_1 = \frac{R_s I_0}{1 - \frac{E - R_s I_0}{E - R_s I_1} \left\{ \Delta t_1 - \frac{z}{p_1 p_2} + \frac{p_1 - z}{p_1(p_1 - p_2)} \exp(-p_1 \Delta t_1) - \frac{p_2 - z}{p_2(p_1 - p_2)} \exp(-p_2 \Delta t_1) \right\} \frac{1}{\Delta t_1}}$$

$$v_2(t_0 + \Delta t_1 + \Delta t_2) + R_s I_1 = E \text{ を満たす } \Delta t_2$$

(21)

となる。

この考え方は、波形の立ち上がり／立ち下がりによらず同じである。

【0030】

以上のように、この実施の形態 1 によれば、電圧源を時間と共に変化する 2 種類の直線の組み合わせで表現するようにしたので、トランジスタの飽和領域で電流

が漸減する動作を正確に反映でき、精度よく遅延計算を行うことができる。

#### 【0031】

実施の形態2.

##### 多段セルへの対応

これまで述べてきた計算手法は、全て入力直接出力トランジスタのゲートを制御する場合である。ところが、セルの中には例えばドライバセルのように、入力を制御したトランジスタのドレインが、次のトランジスタの入力を制御して、出力トランジスタが動作するタイプのものがある。前者の場合を1段のセル、後者の場合を多段のセルと呼ぶことにする。

#### 【0032】

多段のセルであっても、最終段に関しては1段のセルの計算手法が成り立つ。従って最終段については、1段のセルと同じ計算を行う。このためには、内部ノードの最終段の入力について、 $V_{th}$ となる時間および $T_{slew}$ の値が分かっているなければならない。これを図8を用いて考察する。

#### 【0033】

$V_{th\_n}$ はセル（インバータ）内のNMOSトランジスタのしきい値電圧、 $V_{th\_p}$ はセル（インバータ）内のPMOSトランジスタのしきい値電圧をそれぞれ示す。 $T_{slewP}$ は前段セルの入力波形が $V_{th\_n}$ から電源電圧 $V_{dd}$ に達するまでの時間であり、 $T_{slew}$ は前段セルの出力波形（最終段セルの入力波形）が $V_{th\_p}$ から接地電圧0Vに達するまでの時間である。

まず前段のセルの波形から、該当セルの時刻0および $T_{slew_p}$ を決定することができる。最終段の計算の基準時間は、セルの入力より遅れるので、この遅れ時間を $t_{mlt}$ とする。また最終段の $T_{slew}$ も $T_{slew_p}$ とは異なる。

#### 【0034】

多段セルでは、 $T_{slew}$ を使用して求めた遅延に $t_{mlt}$ を加算すれば、遅延を決定できることになるので、多段セルでは $T_{slew}$ および $t_{mlt}$ を求める方法を決定すればよい。 $T_{slew}$ 、 $t_{mlt}$ とも内部ノードの値であるので、出力Yに接続された負荷には依存しないと考えられる。従って、これらは入力Aの波形形状を表す $T_{slew_p}$ のみの関数となる。1段セルの固定遅延同様に、 $T_s$

$lew_p$  が増加すれば  $t_{mlt}$ 、 $Tslew$ とも増加すると考えられる。そこで、多段セルの内部遅延は、

【数 15】

$$t_{mlt} = K_{1m} + K_{2m} Tslew_p^{\alpha_m} \quad (22)$$

多段セルの内部  $Tslew$  は、

【数 16】

$$Tslew = K_{1t} + K_{2t} Tslew_p^{\alpha_t} \quad (23)$$

とそれぞれ表すことにする。 $K_{1m}$ 、 $K_{2m}$ 、 $\alpha_m$ 、 $K_{1t}$ 、 $K_{2t}$ 、 $\alpha_t$  は予め抽出される遅延パラメータであり、これらの遅延パラメータは遅延ライブラリに記憶されている。 $t_{mlt}$ 、 $Tslew$ はこの遅延ライブラリを用いることにより得られる。

【0035】

遅延計算においては、多段セル／1段セルで内部ノードの計算の有無を切り替えても良いが、1段のセルの場合、(22)、(23)式において、

【数 17】

$$\begin{aligned} K_{1m} &= K_{2m} = 0, \alpha_m = 1 \\ K_{1t} &= 0, K_{2t} = \alpha_t = 1 \end{aligned} \quad (24)$$

と定義すれば、 $t_{mlt} = 0$ 、 $Tslew = Tslew_p$  となり両者を区別なく取り扱うことができる。

【0036】

以上のように、この実施の形態2によれば、セル内で論理段(CMOS論理ゲート)を複数持つ場合には、最終段とそれ以外の前段部分に分割して、最終段のゲート入力波形を計算することにより、上記の電圧源の折れ点を積度良く計算することができる。

【0037】

実施の形態3.

上記実施の形態 1、2 の遅延時間計算方法を実行するコンピュータプログラムを記録媒体に記録しておくもので、この記録内容を読み出すことにより、直ちにこの発明の遅延時間計算方法を実施することができる。

【0038】

【発明の効果】

以上のようにこの発明によれば、トランジスタを抵抗値が固定の抵抗素子と、時間に対して変化する電源電圧とでモデル化し、そのモデル化されたトランジスタの動作特性を、ゲート電位の変化で電流が増加する第 1 の領域と、トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第 2 の領域と、トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第 3 の領域とに分けて表現するように構成したので、トランジスタの飽和領域で電流が漸減する動作を正確に反映でき、精度よく遅延計算を行うことができるという効果がある。

【0039】

この発明によれば、最終段の論理回路を構成するトランジスタの動作特性を、ゲート電位の変化で電流が増加する第 1 の領域と、トランジスタの飽和領域に対応し、ゲート電位一定で電流が漸減する第 2 の領域と、トランジスタの線形領域に対応し、ゲート電位一定で電流が減少する第 3 の領域とに分けて表現するように構成したので、複数個直列に接続された最終段の論理回路を構成するトランジスタの動作特性を精度良く計算することができるという効果がある。

【0040】

この発明によれば、モデル化されたトランジスタの動作特性が電源電圧  $E$  に上昇するに要する時間  $t = \Delta t_1$ ,  $t = \Delta t_1 + \Delta t_2$  において、 $E = R_{s \times i}(t) + v(t)$  が成立し、 $(E - v(t))$ 、 $i(t)$  が予め定められたゲート電位における  $I_{ds} - V_{ds}$  特性線上にあるという条件から、直線領域と飽和領域の境界電圧  $V_1$ 、この境界に達するまでの時間  $\Delta t_1$ 、前記飽和領域を経て電源電圧まで達する時間  $\Delta t_2$  を決定するように構成したので、トランジスタの動作特性を精度良く計算することができるという効果がある。

【0041】

この発明によれば、予め定められたゲート電位における  $I_{ds} - V_{ds}$  を折れ

線でモデル化した場合の当該折れ線を特定する関数情報と、固定遅延を特定する入力スルーレートの関数情報とを構成したライブラリを用いるように構成したので、従来のように $\pi$ 型負荷モデルをC型負荷モデルに近似する必要がなく、近似による誤差、遅延テーブルによる補間誤差等がなく、また、遅延テーブルを作成するための膨大なライブラリ量を必要としないという効果がある。

【 0 0 4 2 】

この発明によれば、この発明の遅延時間計算方法を実行するコンピュータプログラムを記録媒体に記録するように構成したので、この記録内容を読み出すことにより、この発明の遅延時間計算方法を容易に実施することができるという効果がある。

【図面の簡単な説明】

- 【図 1】 この発明の実施の形態 1 における回路接続情報の抽出図である。
- 【図 2】 回路構成情報の作成図である。
- 【図 3】 負荷モデルの生成図である。
- 【図 4】 時間に対する電源電圧の変化を示す特性図である。
- 【図 5】 電流波形のパターン図である。
- 【図 6】  $E(t)$  モデルの  $1ds$  対  $Vds$  特性図である。
- 【図 7】 動作点説明図である。
- 【図 8】 多段セルの遅延計算説明図である。
- 【図 9】 従来の回路接続情報の抽出図である。
- 【図 10】 回路構成情報の作成図である。
- 【図 11】 負荷モデルの生成図である。
- 【図 12】 2 入力インバータ回路のトランジスタ回路の論理パスの説明図である。
- 【図 13】 遅延計算すべき $\pi$ 型負荷モデルに近似したC型負荷モデル図である。
- 【図 14】 従来における時間に対する電源電圧の変化を示す特性図である。

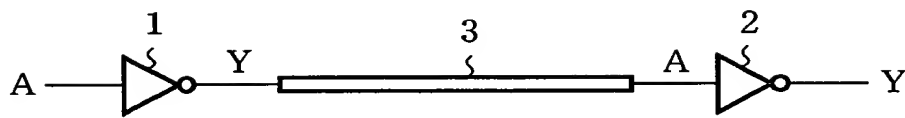
【符号の説明】

1, 2 インバータ、3 配線、4 電源、5 抵抗、6 ソースモデル、7  
RC分布定数回路、8 負荷構成素子、9 負荷モデル、C g 入力ピン容量

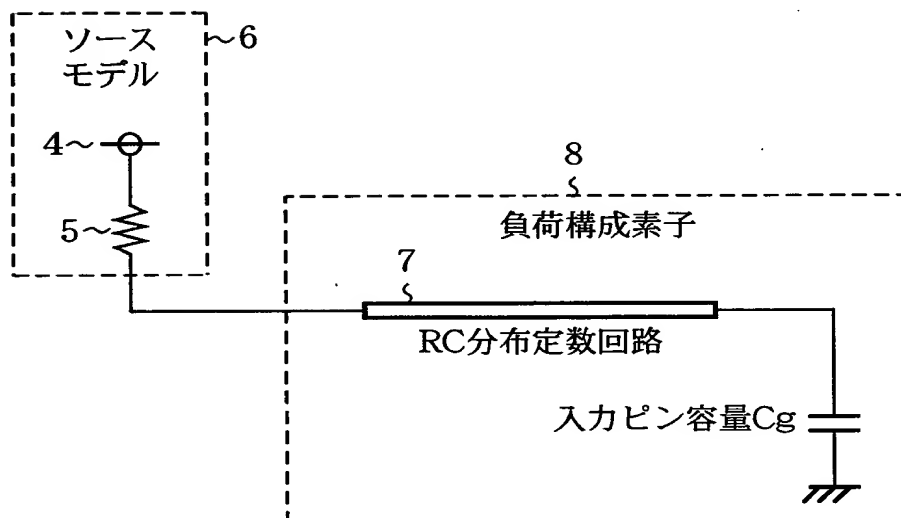
。

【書類名】 図面

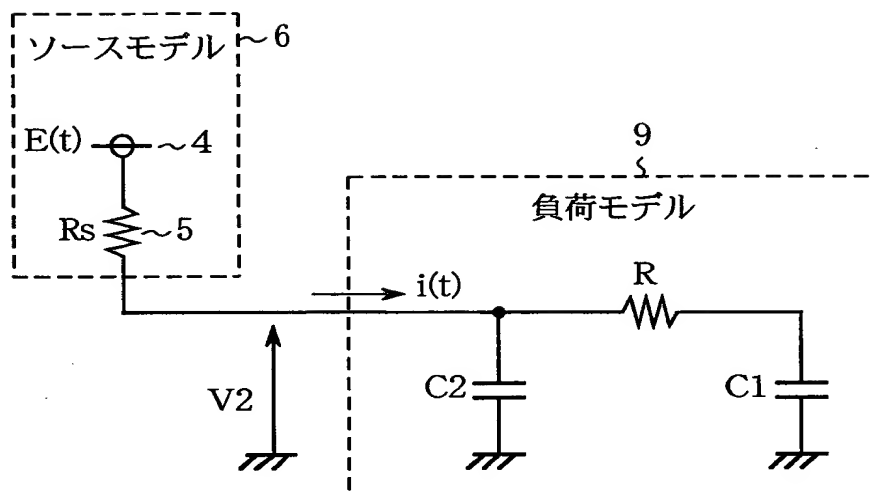
【図 1】



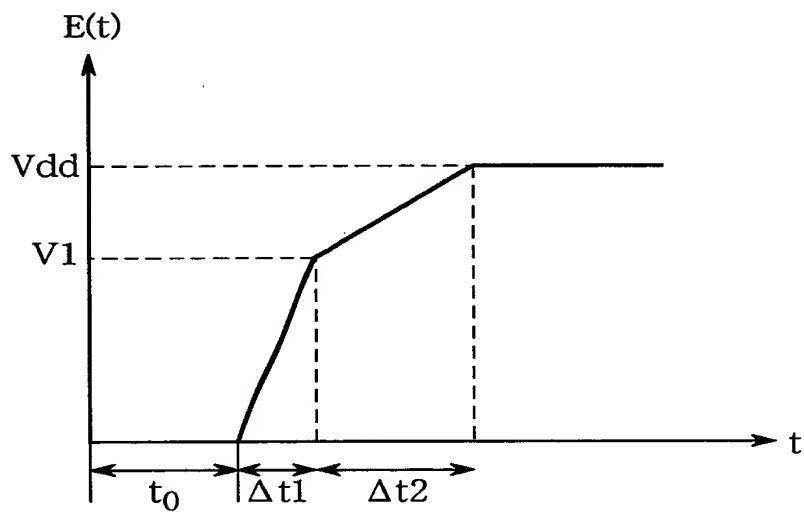
【図 2】



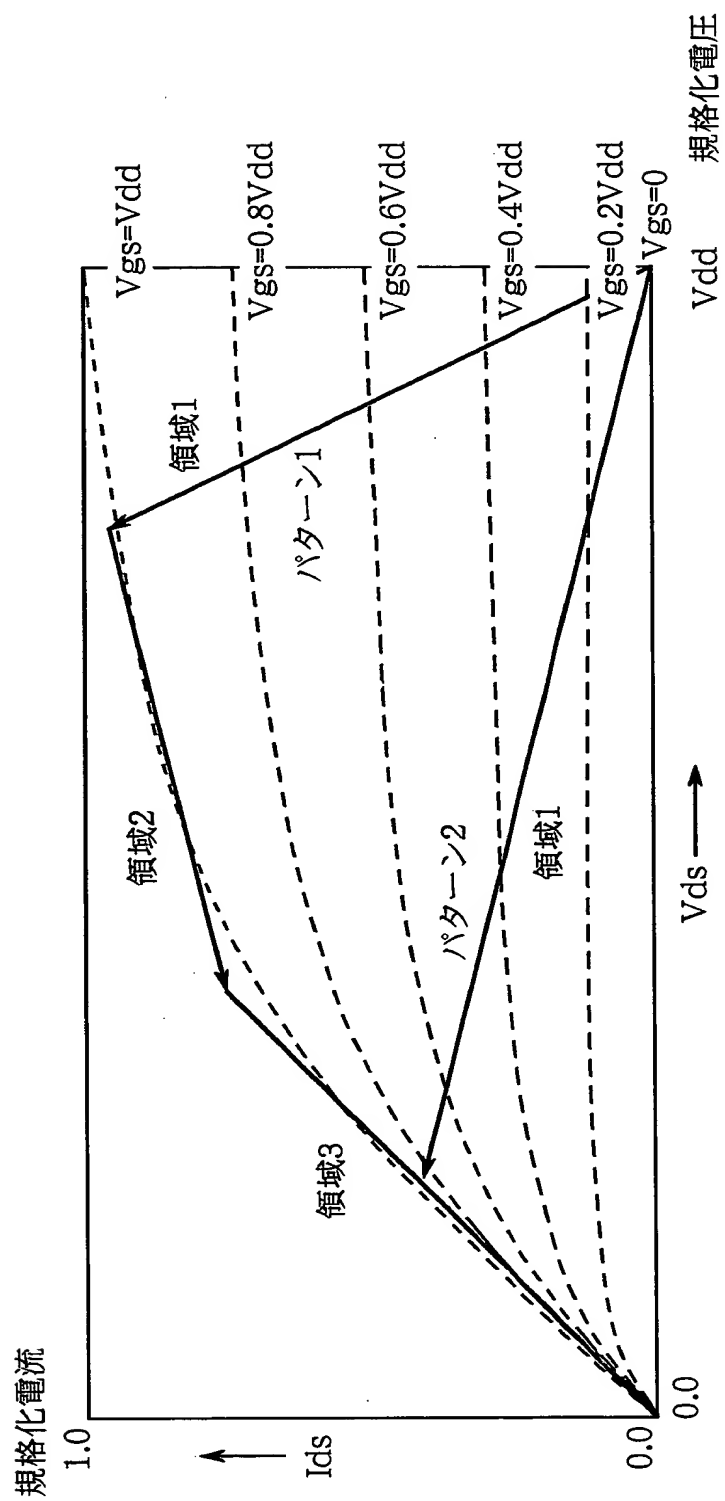
【図 3】



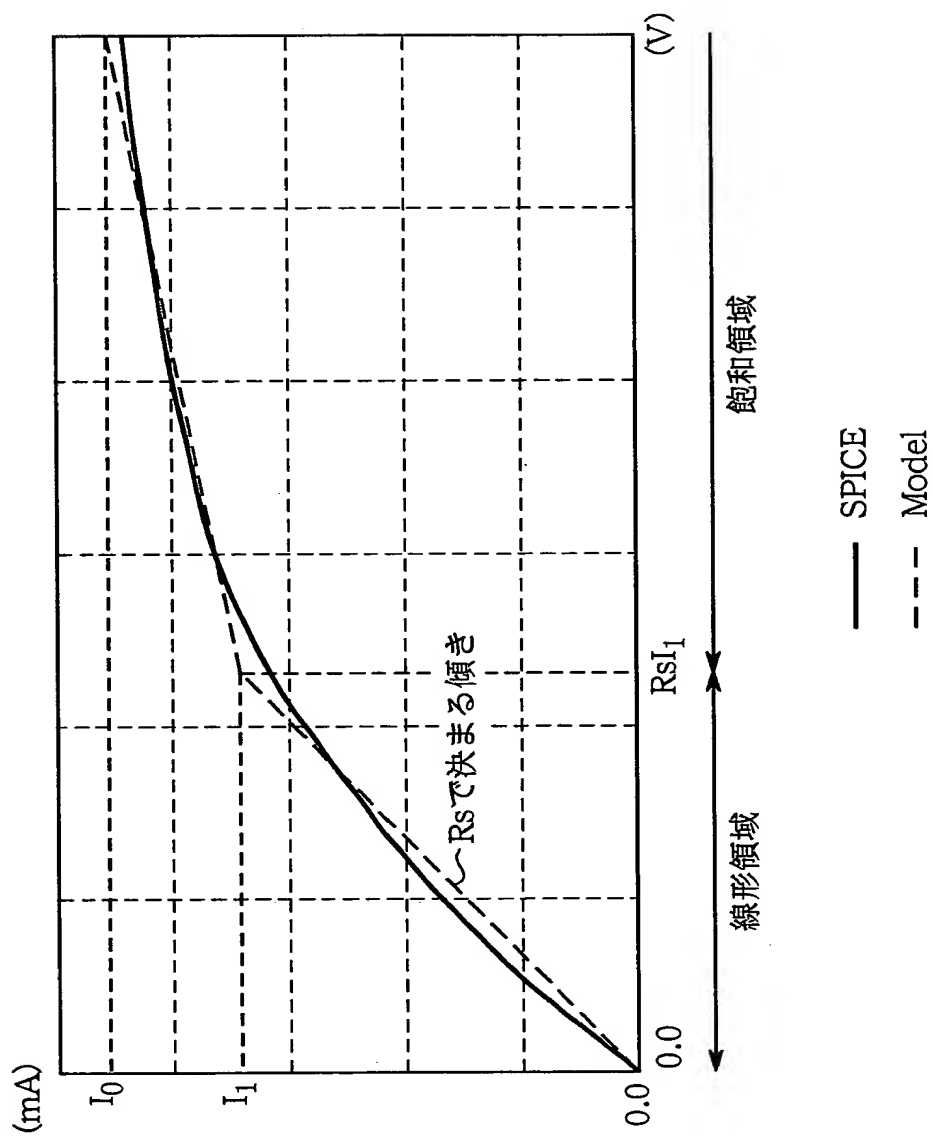
【図 4】



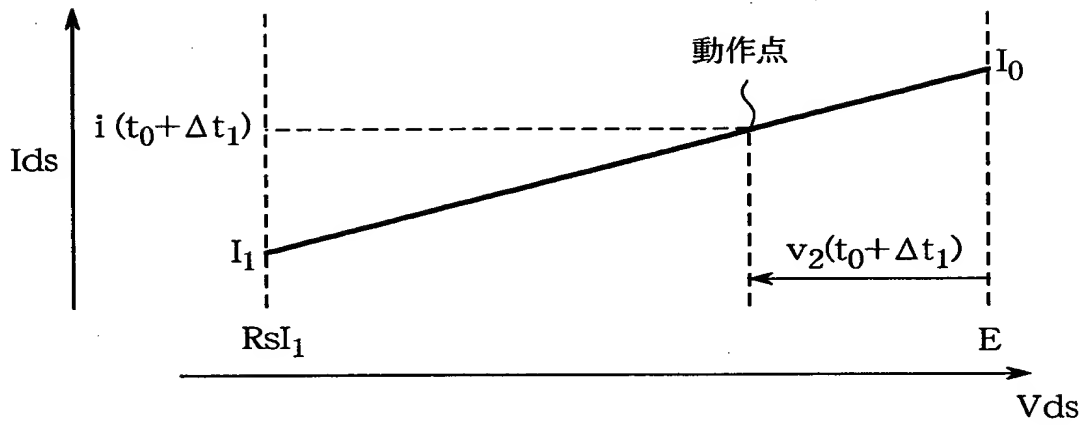
【図 5】



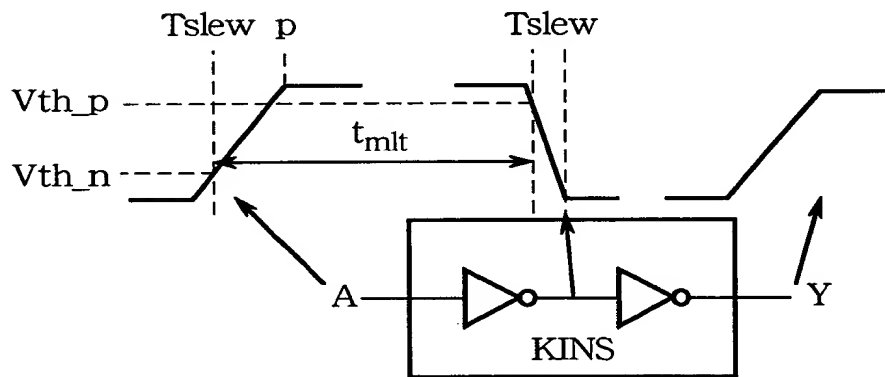
【図 6】



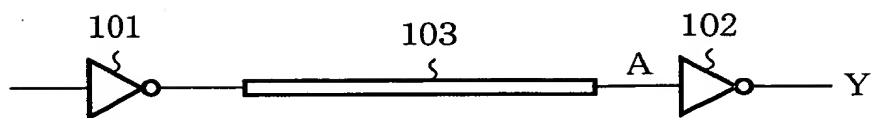
【図 7】



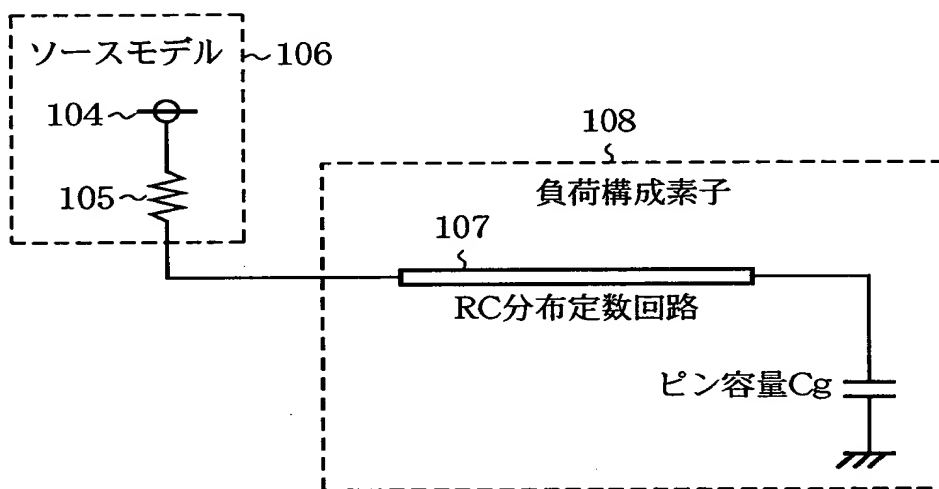
【図 8】



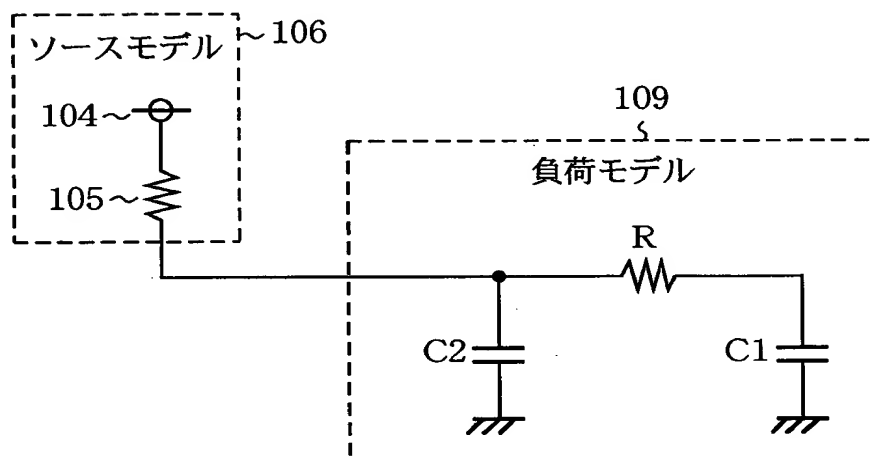
【図 9】



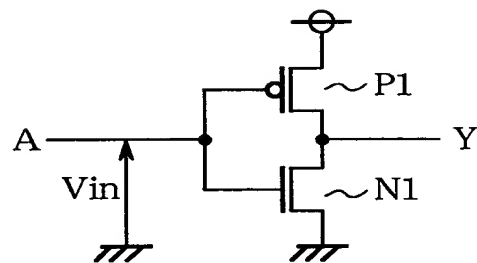
【図 1 0】



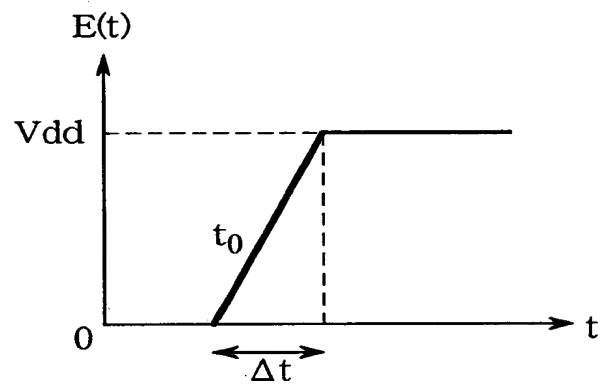
【図 1 1】



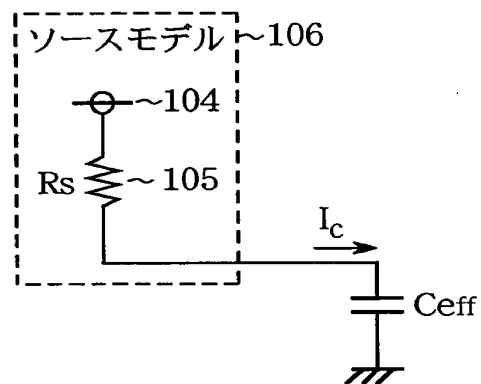
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 トランジスタが飽和領域動作する部分を、電源電圧  $0 \sim V_{dd}$  を時間  $\Delta t$  で直線変化する内部電源  $E(t)$  で表示し、電流が漸減する飽和領域（領域 2）を表現しないため、トランジスタの動作特性に合致した遅延計算ができないという課題があった。【解決手段】 固定値の抵抗素子と、時間に対して変化する電源電圧で表す前記トランジスタの動作特性を、ゲート電位の変化で電流が増加する直線領域とゲート電位一定で電流が漸減する飽和領域とに分けて表現するものである。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社